

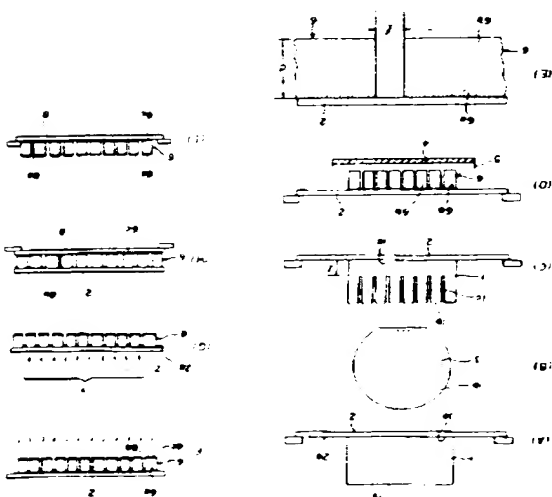
PUBLICATION NUMBER : 63164336  
PUBLICATION DATE : 07-07-88  
APPLICATION DATE : 26-12-86  
APPLICATION NUMBER : 61308703

APPLICANT : OKI ELECTRIC IND CO LTD;

INVENTOR : IKETANI MASAHISA;

INT. CL. : H01L 21/78 B28D 5/00 H01L 21/306

TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To eliminate the dispersion of device characteristics, the breaking of a wafer, chipping and break by a method wherein numerous dicing grooves are cut from the rear of a semiconductor substrate and with the substrate etched in a prescribed depth from the rear, the substrate is split along the dicing grooves.

CONSTITUTION: A device pattern is formed on a GaAs wafer 1 and thereafter, an adhesive face 2a of an electron tape 2 is laminated on a device pattern forming face 1a. Markings 3 are put on dicing lines in the rear 1b of the wafer 1 and dicing grooves 1c are numerously cut. A back etching is performed on the wafer 1 by a prescribed depth to split into numerous dies 6 along the grooves 1c. Backing metal 6c is formed on the rear of the die 6 on the side opposite to a device pattern part 6a. The electron tape 2 is irradiated with a UV light 7 to weaken the adhesive force, an adhesive face 8a of a new electron tape 8 is bonded on the backing metal 6c and the electron tape 2 is peeled off from the dies 6.

COPYRIGHT: (C)1988,JPO&Japio



# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 63-164336  
(43) Date of publication of application : 07.07.1988

(51) Int. Cl.

H01L 21/78  
B28D 5/00  
H01L 21/306

(21) Application number : 61-308703  
(71) Applicant : OKI ELECTRIC IND CO LTD  
(72) Inventor : IKETANI MASAHISA

(22) Date of filing : 26.12.1986

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To eliminate the dispersion of device characteristics, the breaking of a wafer, chipping and break by a method wherein numerous dicing grooves are cut from the rear of a semiconductor substrate and with the substrate etched in a prescribed depth from the rear, the substrate is split along the dicing grooves.

CONSTITUTION: A device pattern is formed on a GaAs wafer 1 and

thereafter, an adhesive face 2a of an electron tape 2 is laminated on a

device pattern forming face 1a. Markings 3 are put on dicing lines in the

rear 1b of the wafer 1 and dicing grooves 1c are numerously cut. A back

etching is performed on the wafer 1 by a prescribed depth to split into

numerous dies 6 along the grooves 1c. Backing metal 6c is formed on

the rear of the die 6 on the side opposite to a device pattern part 6a.

The electron tape 2 is irradiated with a UV light 7 to weaken the

adhesive force, an adhesive face 8a of a new electron tape 8 is bonded

on the backing metal 6c and the electron tape 2 is peeled off from the

dies 6.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

examiner's decision of rejection or application

converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's decision

of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office



明 細 書

1. 発明の名称

半導体素子の製造方法

2. 特許請求の範囲

半導体基板上にアライメントを形成した後、  
アライメントとして半導体素子を形成する半導体素子の  
製造方法において、

上記アライメントに照し、上記半導体基面のア  
ライメントを形成するアライメント状動作により多数

の素子を形成する第1の工程、

次に、上記基面側を上記半導体基面のエッチン  
グ液に浸漬して上記基面側から所定深さだけエッ

チングすると共に上記多数の素子に付着して分割して

アライメントする第2の工程とを設けたことを特徴と

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体アライメントとして例えば酸化

シリコン半導体アライメント(以下、GAA: アライメント

形成、エッチングS101に照しアライメントを形成する。上記のようにして厚さ400nmにした

シリコンとしてGAA: アライメントの厚さが400nm

厚さ600nmのGAA: アライメントの厚さが400nm

(アライメント形成面101aと反対面)を定

義103上の0.3μmのシリコン粒子104でラ

イニングしてシリコンエッチングを用い、直径30

の面をGAA: アライメントのシリコン形成

シリコン形成面101aをシリコン形成面101aと反対面

シリコン形成面101aをシリコン形成面101aと反対面

シリコン形成面101aをシリコン形成面101aと反対面

シリコン形成面101aをシリコン形成面101aと反対面

シリコン形成面101aをシリコン形成面101aと反対面

シリコン形成面101aをシリコン形成面101aと反対面

シリコン形成面101aをシリコン形成面101aと反対面

シリコン形成面101aをシリコン形成面101aと反対面

シリコン形成面101aをシリコン形成面101aと反対面

シリコン形成面101aをシリコン形成面101aと反対面

シリコン形成面101aをシリコン形成面101aと反対面

⑤発明の名称 半導体素子の製造方法  
⑥出願 昭61-308703  
⑦出願 昭61(1986)12月26日  
⑧発明者 池 谷 昌 久 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
⑨出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号  
⑩代理人 井理士 菊池 弘  
⑪特許請求の範囲 1 (全5頁)  
H 01 L 21/78  
B 28 D 5/00  
H 01 L 21/306

⑫Int. Cl.<sup>7</sup> 識別記号 庁内整理番号  
⑬公開 昭和63年(1988)7月7日  
⑭特許出願公開 昭63-164336  
⑮日本国特許庁(J.P.)  
⑯特許出願公開 昭63-164336

るに際し、第1の工程で半導体基盤の裏面から多  
イミダゾールを形成した半導体基盤をタイミ化す  
この発明に係る半導体素子の製造方法は、アパ  
(問題点を解決するための手段)

とする。

れた半導体素子の製造方法を提供することを目的  
除去し、技術的に安定したプロセスで歩留りの優  
き、クエハ割れ、チップシビア及び欠けの問題点を  
この発明は、以上述べたアパミ特性のはらつ  
られなかつた。

欠けが生じるので、技術的に満足できるものは得  
プロセスを行うためにその素子領域のチップシビア  
アパミ形成面101aの素子領域からタイ  
に傷が発生し易く、更に、タイプロセス工程時にア  
101aが割れ易く、アパミ形成面101a  
が生じたりし、又、その研磨時にGaAs、クエハ  
えばFET等性のよりなアパミ特性にはらつき  
101aの結晶構造及び組成上結晶歪が発生し、例  
トプロセス100aでこれによりGaAs、クエハ  
とGaAs、クエハ101aの裏面からの衝撃とアパミ

101aに形成されたタイプロセスレイアウトにエリ例え  
GaAs、クエハ101aのアパミ形成面  
接着力が低下するものである。その貼合せ後、  
101aを強固に保持し、UV光の照射によりその  
ているもので、タイプロセス時にはGaAs、クエハ  
粘着剤として紫外(UV)硬化型壓着粘着剤を用い  
のエレクトロロシニア106は、チップ基板上に  
シニア106の粘着面106aとを貼合せる。こ  
のように行う。パッドメタル105とエレクトロ  
タイプロセスは第4図の(a)に示されているように次  
次に、エレクトロシニア103でタイプロセスを行う。この  
次に、エレクトロシニア102でプロセスを行い、  
とする。

順次に形成し、Ti/Au/Snのパッドメタル105  
A、次に、Snを20,000Åの厚さで蒸着にエリ  
の裏面101bにTiを1000Å、次に、Auを3000  
後、第4図の(b)に示したようにGaAs、クエハ101  
プロセスを除去するために例えばトリジレンサア  
GaAs、クエハ101aから研磨時に発生した塵埃と

以下、この発明の一実施例を図面に基づき説明  
する。第1図及び第2図はこの発明の一実施例に  
よる半導体素子の製造方法の工程を示す図である。  
GaAs、クエハ1にアパミ形成面を形成した後、  
エレクトロシニア1でタイプロセスの形成を行う。まず、  
GaAs、クエハ1のタイプロセス形成面1aに  
エレクトロシニア2の粘着面2aを貼合せ

(実施例)

がなく、従つてその結晶歪を生じない。  
るので余計な機械的力を半導体基盤に加えること  
エレクトロシニアにより半導体基盤の厚さを規定してい  
シビア欠けを生じなく、又、機械的研磨を行わずに  
しているのアパミ形成面101aの裏面から形成  
プロセスをするに際しタイプロセスの裏面から形成  
この発明による半導体素子の製造方法は、タイ

(作用)

する。  
数のタイプロセス層を形成し、次に、第2の工程で  
エレクトロシニア液により裏面から所定深さのエレクトロ  
すると共にタイプロセス層に沿つて分割しタイミ化

にエリ400nm厚になるように機械的に研磨する  
600nm厚のGaAs、クエハ101aをパッドメタル  
しかし、以上述べたいずれの方法であっても

(発明が解決しようとする問題点)

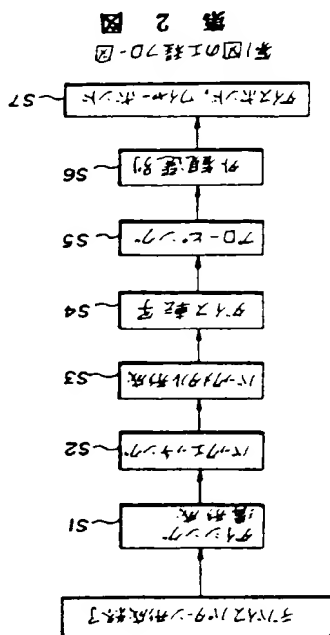
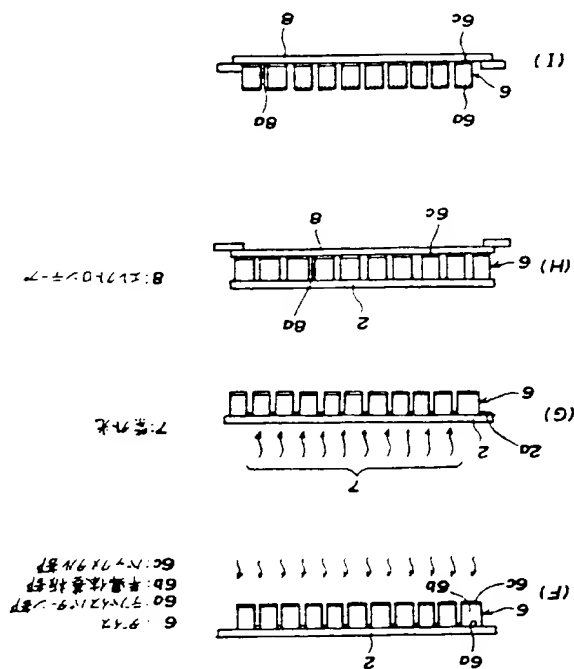
り半導体素子の製造を終了する。  
イミダゾール及びクエハイミダゾール等を行い、以上にエ  
みなしたタイミのみにはプロセスリ工程であるア  
次に、エレクトロシニア105で外観選別により良品と  
方向からその外観選別を行う。

次に、エレクトロシニア104で外観選別を行う。これ  
は、第4図の(c)に示したように、エレクトロシニア  
エレクトロシニア106にUV光を照射してタイミ107をエ  
レトロシニア106からはがし、図示矢印の  
方向からその外観選別を行う。

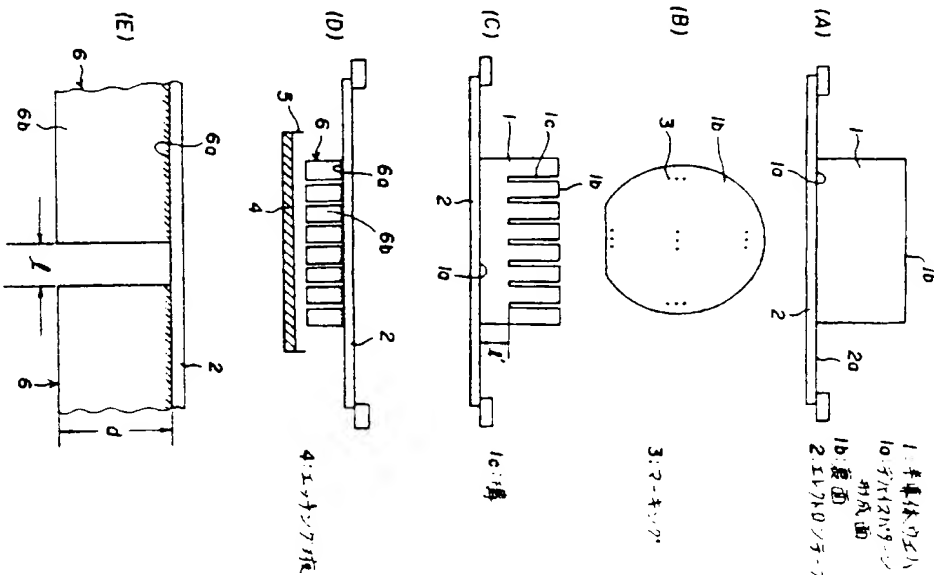
次に、エレクトロシニア107で外観選別を行い、1  
チップに分割して多数のタイミ107を形成する。  
タイミ107は、アパミ形成面101a  
の部分のアパミ形成面107aとGaAs、クエ  
ハ101の部分のGaAs、蒸着部107bとパッドメ  
タル105の部分のパッドメタル部107cとから  
成る。



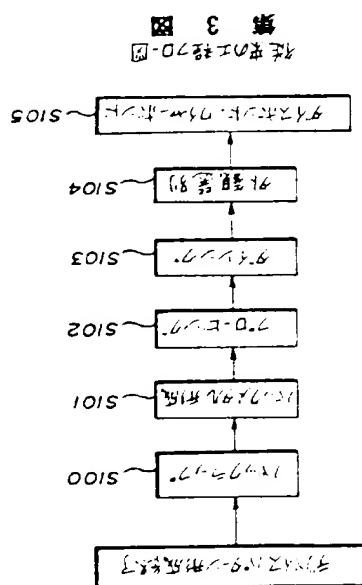
第1図  
一実施例による工程図



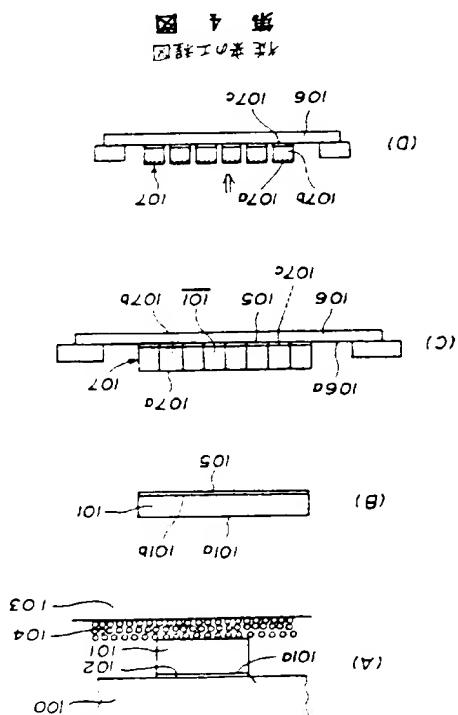
一実施例による工程図  
第1図







第 3 章 往來工程 70-図



第 4 章 新設の工程

